

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-110867

(43)Date of publication of application : 20.04.2001

(51)Int.Cl.

H01L 21/66

(21)Application number : 11-286441

(71)Applicant : HITACHI LTD

(22)Date of filing : 07.10.1999

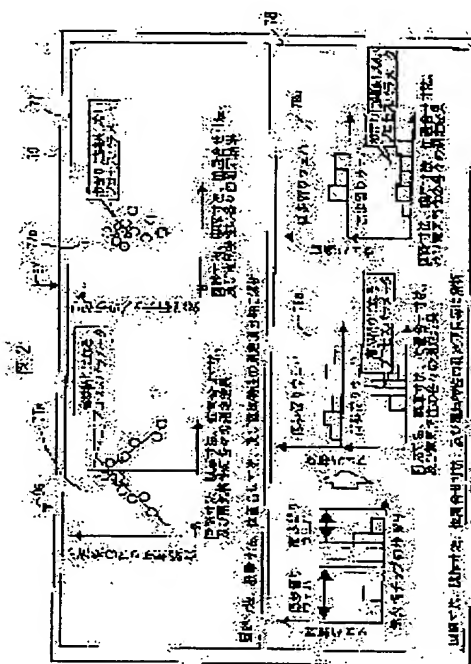
(72)Inventor : ONO MAKOTO
IWATA HISAFUMI

(54) MANUFACTURE OF ELECTRONIC DEVICE AND QUALITY CONTROL SYSTEM FOR ELECTRONIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for manufacturing electronic device and a quality control system for electronic device by which the quality of an electronic device, such as the semiconductor, etc., can be controlled by studying the cause of yield degradation caused by a real parametric defect at the time of manufacturing the device.

SOLUTION: One and the same wafer is inspected for defect in a plurality of steps in the manufacturing process of the wafer and a cumulative defect map 72 is drawn by superposing the detected results upon another. After a wafer is subjected all layer forming steps, defectless/defective wafer discrimination 75 for classifying chips into defectless chips and defective chips is performed on the wafer by performing electric functional inspections. Then yield of defectless chips is calculated 75. In addition, the cause of yield deterioration is specified by obtaining the measured values of circuit dimensions, film thicknesses, interlayer alignment dimensions, electrical characteristics 74, etc., from the same wafer at every measurement item and comparing the results with the yield of the defectless chips.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-110867
(P2001-110867A)

(43) 公開日 平成13年4月20日 (2001.4.20)

(51) Int.Cl.⁷

H 0 1 L 21/66

識別記号

F I

H 0 1 L 21/66

ターム(参考)

Z 4 M 1 0 6

A

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号

特願平11-286441

(22) 出願日

平成11年10月7日 (1999.10.7)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 小野 眞

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72) 発明者 岩田 尚史

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(74) 代理人 100068504

弁理士 小川 勝男 (外1名)

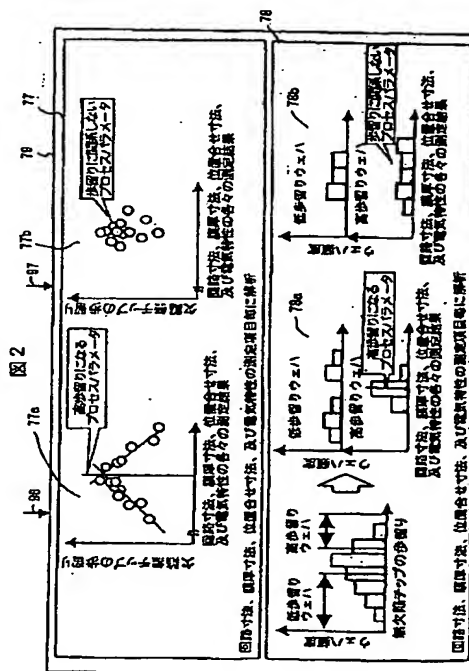
Fターム(参考) 4M106 AA01 CA48 DA14 DJ12 DJ14
DJ17 DJ20 DJ21

(54) 【発明の名称】 電子デバイスの製造方法および電子デバイスの品質管理システム

(57) 【要約】

【課題】 半導体などの電子デバイスの製造において、真のパラメトリック不良による歩留り劣化の原因を究明して電子デバイスの品質管理をできるようにした電子デバイスの製造方法および電子デバイスの品質管理システムを提供することにある。

【解決手段】 同じウェハを工程進行に伴い、複数工程で欠陥検査を行い、それらの検出結果を重ね合わせて累積欠陥マップ72を作成する。すべての層形成工程を経たウェハに、電気機能検査を行い、良品チップと不良品チップとに区分けする良/不良判定73を行う。そして、欠陥無チップの歩留り算出75を行う。また、同じウェハで測定した回路寸法、膜厚寸法、層間位置合せ寸法、電気特性74などの測定値を測定項目毎にそれぞれ求め、その結果と欠陥無チップの歩留りを比較し、歩留り劣化原因を特定する。



1

【特許請求の範囲】

【請求項 1】複数のチップが配列される多層の半導体基板を、各層に対応した多数のプロセスブロック過程によって製造する電子デバイスの製造方法において、同一の半導体基板について所望の複数のプロセスブロック過程の各々において検出される欠陥を累積してチップ単位で示される累積欠陥マップデータを作成する累積欠陥マップ作成過程と、

該累積欠陥マップ作成過程で累積欠陥マップを作成する前記半導体基板について所望のプロセスブロック過程における複数種類のプロセスパラメータを測定するプロセスパラメータ測定過程と、

前記累積欠陥マップ作成過程で累積欠陥マップを作成する前記半導体基板について電気機能検査を行って良品チップと不良品チップとに区分して良品および不良品のチップを示すデータを作成する電気機能検査過程と、

前記累積欠陥マップ作成過程で作成された累積欠陥マップデータと前記電気機能検査過程において作成された良品および不良品のチップを示すデータとを突き合せて少なくとも半導体基板単位で欠陥無チップにおける良品および不良品のチップに関するデータを作成する良品および不良品データ作成過程と、

該良品および不良品データ作成過程で作成された欠陥無チップにおける良品および不良品のチップに関するデータと前記プロセスパラメータ測定過程において測定された複数種類のプロセスパラメータの各々との相関関係を解析して欠陥無チップの歩留りが高歩留りとなるプロセスパラメータの種類を特定する解析過程とを有し、電子デバイスの品質管理を行うことを特徴とする電子デバイスの製造方法。

【請求項 2】複数のチップが配列される多層の半導体基板を、各層に対応した多数のプロセスブロック過程によって製造する電子デバイスの製造方法において、同一の半導体基板について所望の複数のプロセスブロック過程の各々において検出される欠陥を累積してチップ単位で示される累積欠陥マップデータを作成する累積欠陥マップ作成過程と、

該累積欠陥マップ作成過程で累積欠陥マップを作成する前記半導体基板について所望のプロセスブロック過程における複数種類のプロセスパラメータを測定するプロセスパラメータ測定過程と、

前記累積欠陥マップ作成過程で累積欠陥マップを作成する前記半導体基板について電気機能検査を行って良品チップと不良品チップとに区分して良品および不良品のチップを示すデータを作成する電気機能検査過程と、

前記累積欠陥マップ作成過程で作成された累積欠陥マップデータと前記電気機能検査過程において作成された良品および不良品のチップを示すデータとを突き合せて少なくとも半導体基板単位で欠陥無チップにおける歩留りに関するデータを作成する歩留りデータ作成過程と、

2

該歩留りデータ作成過程で作成された欠陥無チップにおける歩留りに関するデータと前記プロセスパラメータ測定過程において測定された複数種類のプロセスパラメータの各々との相関関係を解析して欠陥無チップの歩留りが高歩留りとなるプロセスパラメータの種類を特定する解析過程とを有し、電子デバイスの品質管理を行うことを特徴とする電子デバイスの製造方法。

【請求項 3】前記プロセスパラメータ測定過程において、測定する複数種類のプロセスパラメータとして、回路寸法、膜厚寸法、および層間の位置合せ寸法を含むことを特徴とする請求項 1 または 2 記載の電子デバイスの製造方法。

【請求項 4】前記プロセスパラメータ測定過程において、測定する複数種類のプロセスパラメータとして、電気特性を含むことを特徴とする請求項 1 または 2 記載の電子デバイスの製造方法。

【請求項 5】前記解析過程において、更に、特定された欠陥無チップの歩留りが高歩留りとなるプロセスパラメータの種類におけるプロセスパラメータの値を抽出することを特徴とする請求項 1 または 2 記載の電子デバイスの製造方法。

【請求項 6】更に、前記解析過程において解析する相関関係を出力する出力過程とを有することを特徴とする請求項 1 または 2 記載の電子デバイスの製造方法。

【請求項 7】複数のチップが配列される多層の半導体基板を、各層に対応した多数のプロセスブロック過程によって製造する電子デバイスの品質管理システムにおいて、

同一の半導体基板について所望の複数のプロセスブロック過程の各々において検出される欠陥を累積してチップ単位で示される累積欠陥マップデータを作成する累積欠陥マップ作成装置と、

該累積欠陥マップ作成装置で累積欠陥マップを作成する前記半導体基板について所望のプロセスブロック過程における複数種類のプロセスパラメータを測定するプロセスパラメータ測定装置と、

前記累積欠陥マップ作成装置で累積欠陥マップを作成する前記半導体基板について電気機能検査を行って良品チップと不良品チップとに区分して良品および不良品のチップを示すデータを作成する電気機能検査装置と、

前記累積欠陥マップ作成装置で作成された累積欠陥マップデータと前記電気機能検査過程において作成された良品および不良品のチップを示すデータとを突き合せて少なくとも半導体基板単位で欠陥無チップにおける良品および不良品のチップに関するデータを作成する良品および不良品データ作成部を有し、該良品および不良品データ作成部で作成された欠陥無チップにおける良品および不良品のチップに関するデータと前記プロセスパラメータ測定装置において測定された複数種類のプロセスパラメータの各々との相関関係を解析して欠陥無チップの歩

50

3

留りが高歩留りとなるプロセスパラメータの種類を特定する解析装置とを備えたことを特徴とする電子デバイスの品質管理システム。

【請求項8】複数のチップが配列される多層の半導体基板を、各層に対応した多数のプロセスブロック過程によって製造する電子デバイスの品質管理システムにおいて、

同一の半導体基板について所望の複数のプロセスブロック過程の各々において検出される欠陥を累積してチップ単位で示される累積欠陥マップデータを作成する累積欠陥マップ作成装置と、

該累積欠陥マップ作成装置で累積欠陥マップを作成する前記半導体基板について所望のプロセスブロック過程における複数種類のプロセスパラメータを測定するプロセスパラメータ測定装置と、

前記累積欠陥マップ作成装置で累積欠陥マップを作成する前記半導体基板について電気機能検査を行って良品チップと不良品チップとに区分して良品および不良品のチップを示すデータを作成する電気機能検査装置と、

前記累積欠陥マップ作成装置で作成された累積欠陥マップデータと前記電気機能検査過程において作成された良品および不良品のチップを示すデータとを突き合せて少なくとも半導体基板単位で欠陥無チップにおける歩留りに関するデータを作成する歩留りデータ作成部を有し、該歩留りデータ作成部で作成された欠陥無チップにおける歩留りに関するデータと前記プロセスパラメータ測定装置において測定された複数種類のプロセスパラメータの各々との相関関係を解析して欠陥無チップの歩留りが高歩留りとなるプロセスパラメータの種類を特定する解析装置とを備えたことを特徴とする電子デバイスの品質管理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体などの多層回路パターンを形成する電子デバイスでの歩留り低下の原因となる回路寸法、膜厚寸法、層間位置合せ、電気特性などのプロセスパラメータの種類を特定することがで

$$Y = Y_s \cdot e^{-DA}$$

ここで、Yは歩留り、Y_sはシステムティック歩留り、Dは欠陥密度、Aはチップサイズである。しかし、前記手法は、歩留り中のシステムティック成分がパラメトリック不良の成分であるという大前提が存在する。しかし、システムティック成分にはパラメトリック不良以外にウェハ上で局所的に発生した異物や傷なども含まれており、真にパラメトリック不良の成分であるとは言えず、真のパラメトリック不良による歩留り劣化の原因を究明することが困難である。

【0005】本発明の目的は、上記課題を解決すべく、半導体などの電子デバイスの製造において、真のパラメトリック不良による歩留り劣化の原因を究明して電子デ

4

*きるようにした電子デバイスの製造方法およびその品質管理システムに関する。

【0002】

【従来の技術】半導体集積回路を代表とする電子デバイスの製造は、一般にシリコンウェーハ上に回路パターンなどの層が多層化されて複数のチップを製造する前工程と、チップ毎に切り離し、製品を完成させる後工程に大別することができる。製造中に発生する不良の大半は、この前工程で発生し、前工程での歩留り向上が、電子デバイスを製造する上で重要になっている。このように前工程における歩留り劣化原因となる不良としては、機能不良とパラメトリック不良に大別することができる。機能不良とは、異物や欠陥が主な原因で、回路パターンの断線や短絡などを引き起こし、回路が正常に動作しない不良である。一方、パラメトリック不良とは、回路寸法、膜厚寸法、層間位置合せ寸法などのプロセスの微妙なばらつきが原因で、トランジスタの動作タイミングやコンデンサ容量などが設計仕様どおりにできなかった不良である。

【0003】そこで、従来技術1（雑誌「Semiconductor International」のNovember 1996 pp.139-148に掲載されたAllan Y. Wongによる論文「Statistical Micro Yield Modeling」）には、歩留り成分をシステムティック成分とランダム成分とに分解し、システムティック成分をこの相関分析に適用することが報告されている。ここで、システムティック成分とは、ウェハ面内で、不良チップがウェハ周辺に偏って発生するような分布の成分であり、ランダム成分とは、ウェハ面内で、不良チップが点在するような2次元座標的にランダムな位置に分布する成分である。

【0004】

【発明が解決しようとする課題】上記従来技術1に記載された歩留り成分をシステムティック成分とランダム成分に分離する方法は、電気機能検査（プローブ検査）の結果である良品・不良品のウェーハマップから、統計的に次に示す（数1）式を当てはめてシステムティック成分を抽出する方法である。

（数1）

バイスの品質管理をできるようにした電子デバイスの製造方法および電子デバイスの品質管理システムを提供することにある。また、本発明の他の目的は、半導体などの電子デバイスの製造において、真のパラメトリック不良による歩留り劣化の原因を究明して対策を施すことによって電子デバイスを高歩留りで製造できるようにした電子デバイスの製造方法および電子デバイスの品質管理システムを提供することにある。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明は、真のパラメトリック不良で劣化した歩留りを精度よく求め、該歩留り劣化の原因の特定を行うこ

5

とを特徴とする。

【0007】即ち、本発明は、複数のチップが配列される多層の半導体基板を、各層に対応した多数のプロセスブロック過程によって製造する電子デバイスの製造方法および電子デバイスの品質管理システムにおいて、同一の半導体基板について所望の複数のプロセスブロック過程の各々において検出される欠陥を累積してチップ単位で示される累積欠陥マップデータを作成する累積欠陥マップ作成過程と、該累積欠陥マップ作成過程で累積欠陥マップを作成する前記半導体基板について所望のプロセスブロック過程における複数種類のプロセスパラメータを測定するプロセスパラメータ測定過程と、前記累積欠陥マップ作成過程で累積欠陥マップを作成する前記半導体基板について電気機能検査を行って良品チップと不良品チップとに区分して良品および不良品のチップを示すデータを作成する電気機能検査過程と、前記累積欠陥マップ作成過程で作成された累積欠陥マップデータと前記電気機能検査過程において作成された良品および不良品のチップを示すデータとを突き合せて少なくとも半導体基板単位で欠陥無チップ（異物等の欠陥が存在しないチップ）における良品および不良品のチップに関するデータを作成する良品および不良品データ作成過程と、該良品および不良品データ作成過程で作成された欠陥無チップにおける良品および不良品のチップに関するデータと前記プロセスパラメータ測定過程において測定された複数種類のプロセスパラメータの各々との相関関係を解析して欠陥無チップの歩留りが高歩留りとなるプロセスパラメータの種類を特定する解析過程とを有し、電子デバイスの品質管理を行うことを特徴とする電子デバイスの製造方法および電子デバイスの品質管理システムである。

【0008】また、本発明は、複数のチップが配列される多層の半導体基板を、各層に対応した多数のプロセスブロック過程によって製造する電子デバイスの製造方法および電子デバイスの品質管理システムにおいて、同一の半導体基板について所望の複数のプロセスブロック過程の各々において検出される欠陥を累積してチップ単位で示される累積欠陥マップデータを作成する累積欠陥マップ作成過程と、該累積欠陥マップ作成過程で累積欠陥マップを作成する前記半導体基板について所望のプロセスブロック過程における複数種類のプロセスパラメータを測定するプロセスパラメータ測定過程と、前記累積欠陥マップ作成過程で累積欠陥マップを作成する前記半導体基板について電気機能検査を行って良品チップと不良品チップとに区分して良品および不良品のチップを示すデータを作成する電気機能検査過程と、前記累積欠陥マップ作成過程で作成された累積欠陥マップデータと前記電気機能検査過程において作成された良品および不良品のチップを示すデータとを突き合せて少なくとも半導体基板単位で欠陥無チップ（異物等の欠陥が存在しないチ

6

ップ）における歩留りに関するデータを作成する歩留りデータ作成過程と、該歩留りデータ作成過程で作成された欠陥無チップにおける歩留りに関するデータと前記プロセスパラメータ測定過程において測定された複数種類のプロセスパラメータの各々との相関関係を解析して欠陥無チップの歩留りが高歩留りとなるプロセスパラメータの種類を特定する解析過程とを有し、電子デバイスの品質管理を行うことを特徴とする電子デバイスの製造方法および電子デバイスの品質管理システムである。

【0009】また、本発明は、前記電子デバイスの製造方法におけるプロセスパラメータ測定過程において、測定する複数種類のプロセスパラメータとして、回路寸法、膜厚寸法、および層間の位置合せ寸法を含むことを特徴とする。また、本発明は、前記電子デバイスの製造方法におけるプロセスパラメータ測定過程において、測定する複数種類のプロセスパラメータとして、電気特性を含むことを特徴とする。また、本発明は、前記電子デバイスの製造方法における解析過程において、更に、特定された欠陥無チップの歩留りが高歩留りとなるプロセスパラメータの種類におけるプロセスパラメータの値を抽出することを特徴とする。また、本発明は、前記電子デバイスの製造方法において、更に、前記解析過程において解析する相関関係を出力する出力過程とを有することを特徴とする。

【0010】また、本発明は、前記電子デバイスの製造方法における累積欠陥マップ作成過程において、欠陥を検出するために、回路パターンからの散乱光を検出することにより、欠陥の位置や散乱光強度を検出する異物検査装置を用いたり、回路パターンの異常部分を欠陥とし、その位置やサイズを検出する外観検査装置を用いることを特徴とする。また、本発明は、前記電子デバイスの製造方法におけるプロセスパラメータ測定過程において、回路パターンの特定位置の回路幅、ピッチ幅、開口径など少なくともいずれかを測定する電子顕微鏡を用いたり、テストエレメントグループ（TEG）回路の電圧、電流、抵抗値などの少なくともいずれかを測定する電気特性検査装置を用いたり、層間位置合せ測定用パターンの位置ずれ量を測定する合せ測定装置を用いたりすることを特徴とする。

【0011】上記のように本発明は、異物や欠陥とは無関係な回路寸法、膜厚寸法、層間位置合わせなどに起因するパラメトリック不良の解析に、異物や欠陥の検査結果を用いるというユニークな特徴がある。

【0012】

【発明の実施の形態】本発明に係る電子デバイスの品質管理方法およびそのシステム並びに電子デバイスの製造方法の実施形態を図面を用いて説明する。半導体集積回路を代表とする電子デバイスの製造は、半導体基板（半導体ウェハ）上に複数のチップを回路パターンなどの層を多層化して製造する前工程と、チップ毎に切り離し、

7

製品を完成させる後工程に大別することができる。製造中に発生する不良の大半は、この前工程で発生し、前工程での歩留り向上が、電子デバイスのビジネスの鍵を握っている。ここで、前工程での歩留りとは、前工程の最終試験である電気機能検査装置37による電気機能検査（プローブ検査）の結果で決まる良品率、すなわち、半導体基板での全チップ数に対する良品チップの割合のことである。

【0013】ところで、前工程の歩留り劣化原因となる不良は、機能不良とパラメトリック不良に大別することができる。機能不良とは、ランダムに生じる異物付着が主な原因で、回路パターンの断線や短絡などを引き起こし、回路が正常に動作しない不良である。一方、パラメトリック不良とは、回路寸法（例えば配線幅や配線間隔やスルーホール大きさ等のばらつきも含めた寸法）、絶縁膜や配線膜の膜厚寸法（例えば層間絶縁膜や配線膜等のばらつきを含めた膜厚寸法）、層間位置合せ寸法（下層と上層（例えば下層配線と上層配線または下層絶縁膜と上層配線または下層能動素子と上層絶縁膜）との間のばらつきも含めた位置合せ寸法）などのプロセスパラメータの微妙なばらつきが原因で、トランジスタの動作タイミングやコンデンサ容量などが設計仕様どおりにできなかったときの不良である。特に、プロセスパラメータの微妙なばらつきが原因で、パラメトリック不良が生じるのは、例えば配線パターンが0.2μm以下と益々微細化傾向にあり、良品が出来上がるマージンが益々少なくなるためである。

【0014】そこで、本発明は、パラメトリック不良に含まれるランダムに発生する機能不良を完全に除去することによって、パラメトリック不良を起こしている最も大きなプロセスパラメータを誤認識することなく特定できるようにし、その結果この特定されたプロセスパラメータの微妙なばらつきを低減することによって、歩留まり向上を図ることにある。

【0015】まず、本発明に係る多層回路パターンを有する製品基板（製品ウェハ）の製造方法（製造プロセス）の実施例について図3および図4を用いて説明する。図3は、本発明に係る電子デバイスの品質管理システムの一実施例の構成を示す図である。図4は、本発明に係る電子デバイス（製品基板）の製造方法（製造プロセス）の一実施例を示す概略製造工程図である。

【0016】多層回路パターンを有する製品基板の製造プロセスは、図4に示すように、半導体基板が製造ラインに投入される段階から完成する段階まで、各層形成にほぼ対応させたN個に分割されたプロセスブロックと、N番目のプロセスブロック81完了後に必要とする製品基板に対して電気特性測定装置36によって測定される電気特性測定82と、その後全ての製品基板に対して電気機能検査装置37によって検査されるプローブ検査と称する電気機能検査83とで構成される。この電気機能

8

検査83によって、全ての製品基板に対してチップ毎に良品、不良品の判定が行われる。各層形成にほぼ対応させた各プロセスブロックは、複数の製造プロセス（配線層の場合、例えばスパッタリングによる配線膜形成工程、レジスト塗布工程を含む露光・現像工程、エッチング工程、およびレジスト除去工程などからなり、絶縁層の場合、例えばCVD等による絶縁膜形成工程と、CMP（Chemical Mechanical Polishing：化学的機械的研磨）などによる平坦化工程、スルーホール等を形成する工程などからなる。）と、K番目のプロセス（例えば洗浄プロセス）94完了後に半導体基板単位若しくはロット単位で行われる異物検査装置31や外観検査装置32によるインライン欠陥検査95とを有し、次のプロセスブロックへ進むことになる。特に、異物の付着は、半導体チップの歩留まりを低下させる大きな要因であるため、製造ラインに組み込まれてインライン状態で、より多くの半導体基板（処理基板）に対して検査されることになる。

【0017】そして、各プロセスブロックの中において、半導体基板単位若しくはロット単位で、成膜前後あるいは成膜後に必要に応じて膜厚測定装置34により膜厚測定91が行われる。更に、各プロセスブロックの中において、半導体基板単位若しくはロット単位で、露光し、エッチング前後に、寸法測定装置33による回路寸法測定92や合せ測定装置35による層間位置合せ測定93が行われる。膜厚測定91、回路寸法測定92、位置合せ測定93は、各層形成にほぼ対応した各プロセスブロックにおいて必ず実施するとは限らず、基本的に成膜や露光、エッチングの処理と関連付けて実施する。

【0018】次に、図1に72で示す欠陥無チップ11を算出するための各層にほぼ対応した各プロセスブロック毎に行われるインライン欠陥検査95の実施例について説明する。即ち、インライン欠陥検査95は、基本的には、図3に示す異物検査装置31や外観検査装置32によって、同じ半導体基板10に対して各プロセスブロック毎に半導体基板単位若しくはロット単位で行われ、その欠陥検査結果である欠陥の発生した座標値（必要に応じてその欠陥の大きさ（例えば、面積、X軸およびY軸方向の長さ等））と共に、欠陥検査の対象となった半導体基板の番号（ロット単位で行う場合にはロット番号）、およびプロセスブロック番号（プロセス工程番号）が、CPUおよび記憶装置41等から構成された異物・外観データ収集ステーション51の異物・外観検査データベース41に格納される。

【0019】異物検査装置31としては、例えば特開平5-218163号公報や特開平6-258239号公報や特開平2-170279号公報に記載されたものが用いられる。即ち、異物検査装置31は、半導体基板に対して斜め方向からレーザビームを集束させて照射し、半導体基板から生じる散乱回折光を対物レンズで集光さ

9

せ、半導体基板上の回路パターンからの回折光を空間フィルタで遮光し、集光された回折光を光電変換手段で受光して信号に変換し、該変換された検出画像信号と参照画像信号（例えば繰り返される隣接チップから検出される検出画像信号）とを位置合わせをして比較して差画像を抽出し、該差画像が所望の閾値レベル以上のものと異物として検出することによって半導体基板上に異物を検出するものである。このように異物検査装置31の構成は、簡素化されているため、インラインモニタとして使用することができる。外観検査装置32としては、例えば特開平2-170279号公報に記載されたものが用いられる。即ち、外観検査装置32は、異物検査装置31とほぼ同様に構成され、半導体基板上に配線パターンの欠損や突起等の欠陥を検出するものである。このように外観検査装置32は、半導体基板上に配線パターンの欠損や突起等の欠陥を検出するものであるため、配線パターンの画像として顕在化する必要があるため、そのため異物検査装置31と照明の仕方が異なることになる。例えば、半導体基板に対して垂直な光軸方向から輪帯照明すればよい。

【0020】以上説明したように、同じ半導体基板10に対して各層にほぼ対応する各プロセスブロックにおいて異物検査装置31や外観検査装置32で検査され、異物・外観検査データベース41に格納されたプロセスブロック1〜Nに亘った同じ半導体基板10に対する異物やパターン欠陥等の欠陥検査95の結果は、図1に示す欠陥検査結果71となる。検査(1)は同じ半導体基板10に対するプロセスブロック番号1における欠陥検査結果、検査(2)は同じ半導体基板10に対するプロセスブロック番号2における欠陥検査結果、検査(N)は同じ半導体基板10に対するプロセスブロック番号Nにおける欠陥検査結果である。ここで、丸枠は同じ半導体基板(処理基板)を示し、四角い枠はチップを、黒丸は異物検査装置31や外観検査装置32で検出された欠陥の位置座標をそれぞれ表わしている。

【0021】従って、異物・外観データ収集ステーション51において、異物・外観検査データベース41に格納された同じ半導体基板10若しくは同じロットの半導体基板10内に対する検査(1)から検査(N)まで検出された欠陥の位置座標を累積することによって、図1に、累積欠陥マップ情報72で示すように、欠陥が発生しなかった累積欠陥無チップ11の位置座標若しくはチップ番号が抽出され、この抽出された欠陥無チップの位置座標若しくはチップ番号と共にその半導体基板10の番号(ロット番号が必要な場合にはそのロット番号も加える。)を付加して解析ステーション63に送信する。即ち、異物・外観データ収集ステーション51から解析ステーション63に累積欠陥マップ情報72が提供されることになる。なお、この累積欠陥マップ情報72は、異物・外観検査データベース41に格納してもよい。当

10

然、異物検査装置31や外観検査装置32または異物・外観データ収集ステーション51には、半導体基板10のCAD情報等を基に半導体基板10に対するチップ配列座標データが入力されて格納されているので、異物・外観データ収集ステーション51において累積欠陥無チップ11の位置座標若しくはチップ番号(累積欠陥マップ情報72)を抽出できることになる。

【0022】次に、図1に74で示す回路寸法、膜厚寸法、位置合せ寸法、および電気特性などからなるプロセスパラメータの各々を基本的にはプロセスブロック毎に、半導体基板単位で算出するための絶縁膜や配線膜等の膜厚測定91、配線パターン等の回路寸法測定92、層間の位置合せ測定93、および電気特性測定82の実施例について更に具体的に説明する。即ち、図4に示す如く、例えば配線幅や配線間隔やスルーホールの大さ等の回路寸法測定92は、上記欠陥検査が行われた半導体基板単位もしくはロット単位に対して、必要とするプロセスブロックにおいて、図3に示す例えばSEM測長機等によって構成される寸法測定装置33によって半導体基板10上を複数(比較的多数)の点について測定され、この測定された回路寸法と共に、測定対象となった半導体基板の番号(ロット単位で行う場合にはロット番号も加える。)、およびプロセスブロック番号(プロセス工程番号)が、CPU、および記憶装置42等によって構成されるプロセスパラメータ測定データ収集ステーション52のプロセスパラメータ測定データベース42に格納される。

【0023】更に、図4に示す如く、例えば絶縁膜や配線膜等のばらつきを含めた膜厚等の膜厚測定91も、上記欠陥検査が行われた半導体基板単位もしくはロット単位に対して、必要とするプロセスブロックにおいて、図3に示す例えば光学的な膜厚測定機(合焦点顕微鏡や光干渉を用いた顕微鏡)等によって構成される膜厚測定装置34によって半導体基板10上を複数(比較的多数)の点について測定され、この測定された膜厚寸法と共に、測定対象となった半導体基板の番号(ロット単位で行う場合にはロット番号も加える。)、およびプロセスブロック番号(プロセス工程番号)が、プロセスパラメータ測定データ収集ステーション52のプロセスパラメータ測定データベース42に格納される。

【0024】更に、図4に示す如く、例えば下層と上層とのばらつきも含めた位置合せ寸法等の層間位置合せ93も、上記欠陥検査が行われた半導体基板単位若しくはロット単位に対して、必要とするプロセスブロックにおいて、図3に示す例えば光学顕微鏡等によって構成される合せ測定装置35によって半導体基板10上を複数(比較的多数)の点について測定され、この測定された位置合せ寸法と共に、測定対象となった半導体基板の番号(ロット単位で行う場合にはロット番号も加える。)、およびプロセスブロック番号(プロセス工程番

11

号)が、プロセスパラメータ測定データ収集ステーション52のプロセスパラメータ測定データベース42として格納される。層間位置ずれ量(位置合せ量)は、層ごとに露光・エッチング等によって形成されるターゲットマーク同士の位置ずれ量を、光学顕微鏡から構成される合せ測定装置35によって測定することができる。このように、回路寸法、膜厚寸法、層間位置合せ寸法等の実測値は、図1に74で示すように、基本的には層ごと(プロセスブロック毎)に、製品回路パターンの一部や、測定専用を用意したパターンを直接的に測定することによって、プロセスパラメータ測定データベース42にプロセスパラメータの値として得られる。

【0025】更に、図4に示す如く、プロセスブロックN終了後に行われる電気特性測定82は、回路における抵抗Rや容量C等のインピーダンス等からなる電気特性を測定するもので、半導体基板単位またはロット単位で、図4に示す例えばインピーダンス測定装置等によって構成される電気特性測定装置36によって測定され、この測定された電気特性と共に、測定対象となった半導体基板の番号(ロット単位で行う場合にはロット番号も加える。更に、プロセスブロック番号(プロセス工程番号)が必要な場合には加える。)、プロセスパラメータ測定データ収集ステーション52のプロセスパラメータ測定データベース42として格納される。このような電気特性の実測値も、テストエレメントグループ(TEG)と呼ばれるトランジスタ特性などを測定するための回路パターンに、電流や電圧を印加して電氣的に測定することによってプロセスパラメータの値として得られる。

【0026】なお、以上の説明では、各層にほぼ対応する各プロセスブロックごとに、半導体基板単位またはロット単位で、回路寸法、膜厚寸法、および層間位置合せ寸法を測定するようにしたが、予め歩留まりに影響しないとわかっているならば、そのプロセスブロックについて測定する必要はない。

【0027】以上説明したように、これらプロセスパラメータは、異物検査や外観検査された半導体基板10に対して、半導体基板内の指定位置のテストエレメントグループ(TEG)や指定位置の製品回路パターンを用いて測定され、電気特性以外については基本的に各プロセスブロック毎に、図1に74で示すように黒三角で示される測定位置で測定される。そして、プロセスパラメータ測定データ収集ステーション52は、ステップ76において、基本的にはプロセスブロック毎に測定してプロセスパラメータ測定データベース42に格納された測定結果(回路寸法、膜厚寸法、位置合せ寸法、電気特性)に基いて、測定項目(回路寸法、膜厚寸法、位置合せ寸法、および電気特性など)毎に、半導体基板単位若しくはロット単位毎の半導体基板単位における複数測定点の平均値80が算出されて解析ステーション63に送信さ

12

れる。なお、ステップ76において、算出された測定項目毎の半導体基板における平均値80は、プロセスパラメータ測定データベース42に格納してもよい。このように、測定項目毎に平均値を算出するようにしたのは、測定項目ごとに回路寸法、膜厚寸法、位置合せ寸法、および電気特性などが半導体基板内は一様に形成されるものとしたからである。もし、回路寸法、膜厚寸法、位置合せ寸法、および電気特性などが、半導体基板内において、例えば中央部と周辺部との間に変動がある場合には、半導体基板上を例えば中央部と周辺部との複数の領域に分けてそれぞれの領域において測定項目毎に平均値を算出する必要がある。

【0028】次に、半導体基板10毎に、図1に73で示す良品チップ12と不良品チップ13を判定するための電気機能検査の実施例について説明する。即ち、図4に示す如く、半導体基板(半導体ウェハ)10がほぼ完成されて動作試験ができる段階において、電気機能検査83は、図3に示す電気機能検査装置(テスト)37により各製品基板10について行われ、各チップ毎に良品、不良品の判定が行われる。各製品基板10に対する検査結果が、図1に示す電気機能検査の良・不良判定結果73であり、各チップが各良品チップ(白抜きのチップ)12と不良品チップ(黒で塗りつぶしたチップ及び十字斜線のチップ)13とに区分される。この判定結果73は、電気検査データ収集ステーション52の電気検査データベース42に格納される。当然、電気機能検査装置37または電気検査データ収集ステーション52には、製品基板10のCAD情報等を基に製品基板10に対するチップ配列座標データが入力されて格納されているので、異物・外観データ収集ステーション51において良品チップ12および不良品チップ13の位置座標若しくはチップ番号を抽出できることになる。

【0029】以上にして、同じ半導体基板10における各プロセスブロックでの欠陥検査95の結果が異物・外観検査データベース41に、この半導体基板10に対する複数のプロセス工程で実施される回路寸法測定92、膜厚寸法測定91、位置合せ寸法測定93や電気特性測定82の測定値がプロセスパラメータ測定データベース42に、この製品基板10に対する電気機能検査83の良品・不良品の判定結果が電気検査データベース42にそれぞれ得られることとなる。

【0030】次に、本発明に係る解析ステーション63のデータ解析部61で解析する欠陥無チップの歩留りと相関関係を有するプロセスパラメータを特定する実施例について説明する。即ち、解析ステーション63は、異物・外観検査データ収集ステーション51から得られる同じ半導体基板10に対して累積された各チップに対する累積欠陥マップ情報72と、プロセスパラメータ測定データ収集ステーション52から得られる基本的にはプロセスブロック毎に得られた上記測定項目毎の半導体基

13

板における平均値96と、電気機能検査データ収集ステーション53から得られる電気機能検査の良品チップ・不良品チップの判定結果情報73とを読み込み、データ解析部61において、図1に示すステップ75で、まず累積欠陥マップ情報72と電気機能検査の良品チップ・不良品チップの判定結果情報73とを突き合わせることで、半導体基板10に対して欠陥無チップの歩留り、すなわち良品率97を算出する。即ち、データ解析部61において算出された欠陥無チップの歩留り97は、図1に示す実施例の場合、累積欠陥マップ72における欠陥が検出されない斜線で示す欠陥無チップ11の個数が5個であるのに対して電気機能検査の判定結果において良品と判定されたチップの個数が4個であるため、80%となる。このように、一つの半導体基板10に対して欠陥が検出されたチップを取り除いた状態で、チップ歩留りが算出されることになる。この場合、不良品チップは、プロセスパラメータが原因で不良品になったものと推測することが可能となる。

【0031】次に、データ解析部61は、ステップ75において算出された欠陥無チップの歩留り、すなわち良品率97と、ステップ76においてプロセスパラメータ測定データ収集ステーション52から得られる基本的にはプロセスブロック毎に得られた上記測定項目（回路寸法、膜厚寸法、位置合せ寸法、および電気特性）毎の半導体基板における平均値96とに基づいて、解析77または解析78を実行して歩留りと相関関係を有するあるプロセスブロックにおけるプロセスパラメータを特定し、高歩留りになるそのプロセスパラメータの値を抽出し、これらの解析結果を、表示装置や記録媒体やネットワーク等で構成された解析結果出力部62から出力することができる。

【0032】まず、解析77について説明する。即ち、データ解析部61は、上記欠陥無チップの歩留り97を縦軸にとり、上記測定項目毎のプロセスパラメータの平均値96を横軸にとり、1基板上1打点の散布図を描く。その結果、77aで示されるように、欠陥無チップの歩留りとプロセスパラメータの値とに相関関係があるものが欠陥無チップの高歩留りを決めている所定のプロセスブロックにおけるプロセスパラメータ（このプロセスパラメータとしては、例えば、製造された2層目と3層目との間の回路パターンの位置ずれ量となる。この位置ずれ量は、+方向に位置がずれる場合と、-方向に位置がずれる場合とがある。しかも、設計値においては位置ずれ量が無い場合が高歩留りなるはずであるが、設計値通りに回路パターンを製造することができないことから、製造された回路パターンにおいては高歩留りになる位置ずれ量の最適値は所望の値をとることになる。プロセスパラメータが回路寸法である場合、膜厚寸法である場合、電気特性である場合も同様となる。）であることが判明し、しかも欠陥無チップの歩留りが最大となる、

14

即ち、高歩留りになるそのプロセスパラメータの値（例えば、製造された2層目と3層目との間の回路パターンの位置ずれ量の値）を抽出することができる。なお、設計値も、例えばCADシステム（図示せず）から解析ステーション63に入力して記憶装置に記憶しておけば、製造された回路パターンにおける高歩留りになるプロセスパラメータの最適値から、最適な設計値を逆算することも可能となる。

【0033】77bで示される場合は、欠陥無チップの歩留りとプロセスパラメータの値との間に相関関係がない場合である。この場合、データ解析部61は、欠陥無チップの歩留りに関係無く、測定されたプロセスパラメータの値がばらついていると解析することができ、その結果このプロセスパラメータのばらつきは、歩留りに影響を及ぼしていないと判明することができる。

【0034】次に、解析78について説明する。即ち、データ解析部61は、上記欠陥無チップの歩留り97を横軸にとり、縦軸に基板頻度（ウェハ頻度）を縦軸にとることによってヒストグラムを作成する。その結果、データ解析部61は、低歩留りの基板と高歩留りの基板とを抽出し、それらの基板に対して、ステップ76で求めた各プロセスパラメータの平均値96を横軸にとり、低歩留り基板と高歩留り基板についてそれぞれのヒストグラムを作成する。そして、データ解析部61は、両ヒストグラムを比べて、78aに示すように、欠陥無チップの高歩留りおよび低歩留りとプロセスパラメータの値とに相関関係があるものが欠陥無チップの高歩留りを決めている所定のプロセスブロックにおけるプロセスパラメータであることが判明し、そして高歩留り基板を対象としたヒストグラムのピークを探索することによって、欠陥無チップの高歩留りになるそのプロセスパラメータの値を抽出することができる。

【0035】78bで示される場合は、欠陥無チップの歩留りとプロセスパラメータの値との間に相関関係がない場合である。この場合、データ解析部61は、欠陥無チップの歩留りに関係無く、測定されたプロセスパラメータの値がばらついていると解析することができ、その結果このプロセスパラメータのばらつきは、歩留りに影響を及ぼしていないと判明することができる。以上説明したこれら解析77や解析78を、各プロセスブロック毎に、しかも回路寸法、膜厚寸法、層間位置合せ寸法、電気特性などの測定項目毎に実施することによって、明確に高歩留りにしているプロセスパラメータを特定することができ、しかもその最適値を抽出することができる。

【0036】従って、解析ステーション63において、データ解析部61は、解析結果77、78を解析結果出力部62に例えば視覚的に出力することにより、高歩留りにする対策を効率的に行うことができる。その一つの方法は、明確に高歩留りになるプロセスパラメータを特

15

定できた場合、それを解析者に測定項目と合わせて、通知する。また、解析結果 77、78 である散布図ならびにヒストグラムを、ディスプレイやプリンター等からなる解析結果出力部 62 で出力する。

【0037】なお、以上説明した解析においては、欠陥無チップの歩留り 97 を一枚の基板単位で算出するようにしたが、測定されるプロセスパラメータにおいて殆ど変動しない範囲の複数枚の基板単位で算出するようにしてもよい。この場合、同じ複数枚の基板に亘って累積欠陥マップを作成して欠陥無チップを抽出する必要がある。一枚の基板の範囲内において、例えば中央部と周辺部との間に測定されるプロセスパラメータに大きく変動する場合には、欠陥無チップの歩留りも変動することになるので、ステップ 75 において、一枚の基板内を、例えば中央部と周辺部との複数領域に分け、それぞれの領域毎に、欠陥無チップの歩留りを算出すると共に、ステップ 76 においても、上記複数の領域毎に、測定される各プロセスパラメータの平均値を算出するようにすれば、欠陥無チップの歩留りと所望のプロセスパラメータの値（平均値）との相関関係を高精度にとることが可能となる。

【0038】また、データ解析部 61 において、累積欠陥マップ 72 と電気機能検査の良・不良判定結果 73 とを比較する際、欠陥無チップにおける不良品チップまたはその位置座標を検知することができるので、プロセスパラメータ測定データベース 42 から得られる上記欠陥無チップにおける不良品チップにおいて測定された各プロセスパラメータの値と他のチップ（例えば欠陥無チップの良品チップ）において測定された上記各プロセスパラメータの値との差の平均値または標準偏差を取ることによって、その差の平均値または標準偏差が大きく認識できた場合、そのプロセスパラメータが原因で不良品チップにしていることを判明することができる。

【0039】以上、本発明の一実施形態について説明したが、本発明はこの実施形態のみに限定されるものではない。即ち、上記実施形態では、半導体基板（半導体ウェハ）への層形成毎に欠陥検査を行なうものとしたが、欠陥が発生しにくい層の形成の場合には、欠陥検査を省いてもよく、これにより、工期のスピードアップを図ることができる。

【0040】

【発明の効果】本発明によれば、半導体などの電子デバ

16

イスの製造において、真のパラメトリック不良による歩留り劣化の原因を究明して電子デバイスの品質管理をすることができる効果を奏する。また、本発明によれば、半導体などの電子デバイスの製造において、真のパラメトリック不良による歩留り劣化の原因を究明して対策を施すことによって電子デバイスを高歩留りで製造することができる効果を奏する。

【図面の簡単な説明】

【図 1】本発明に係る電子デバイスの品質管理方法の一実施形態を示す解析方法の前半を説明するための図である。

【図 2】本発明に係る電子デバイスの品質管理方法の一実施形態を示す解析方法の後半を説明するための図である。

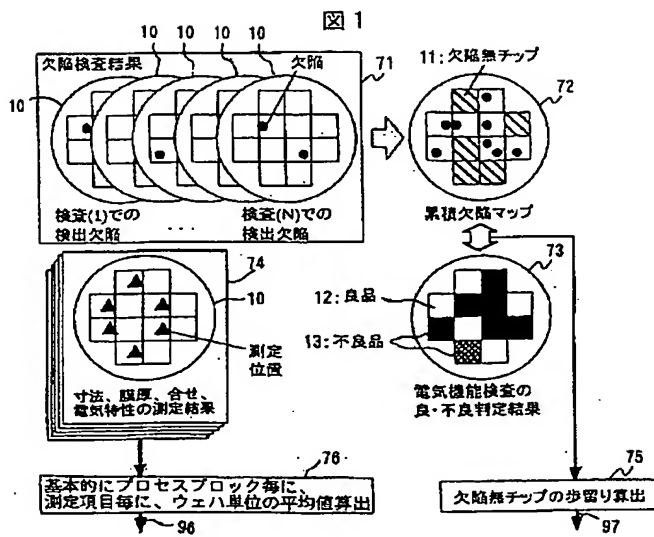
【図 3】本発明に係る電子デバイスの品質管理システムの一実施例を示すブロック構成図である。

【図 4】本発明に係る電子デバイスの製造方法を説明するための図である。

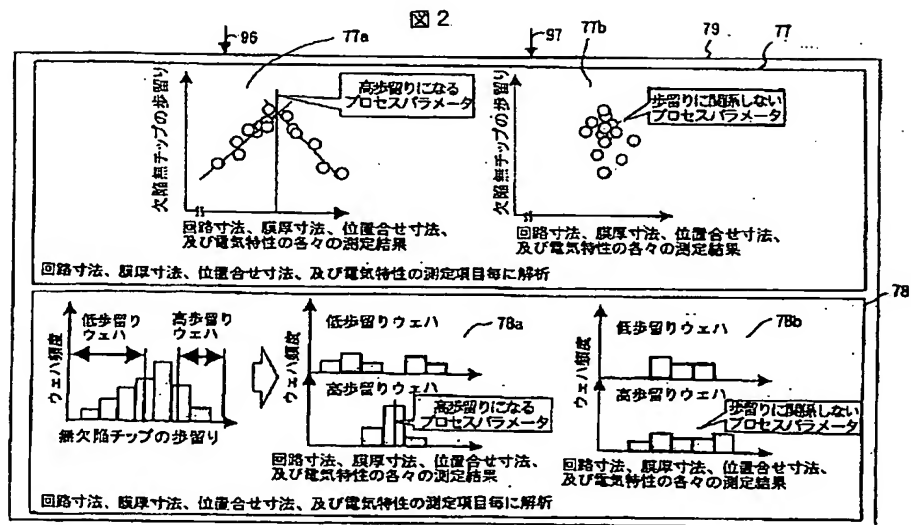
【符号の説明】

10…半導体基板、11…欠陥無チップ、12…良品チップ、13…不良品チップ、31…異物検査装置、32…外観検査装置、33…寸法測定装置、34…膜厚測定装置、35…合せ測定装置、36…電気特性測定装置、37…電気機能検査装置、41…異物・外観検査データベース、42…プロセスパラメータ測定データベース、43…電気機能検査データベース、51…異物・外観データ収集ステーション、52…プロセスパラメータ測定データ収集ステーション、53…電気機能検査データ収集ステーション、61…データ解析部、62…解析結果出力部、63…解析ステーション、71…欠陥検査結果、72…累積異物マップ、73…電気機能検査の良・不良判定結果、74…回路寸法、膜厚寸法、層間位置合せ寸法、電気特性などの測定結果、75…欠陥無チップの歩留り算出ステップ、76…回路寸法、膜厚寸法、層間位置合せ寸法、電気特性などについてのウェハ単位での平均値算出ステップ、77…解析方法、78…解析方法、79…解析方法、81…プロセスブロック N、82…電気特性検査、83…電気機能検査、91…膜厚測定、92…回路寸法測定、93…層間位置合せ寸法測定、94…工程 K、95…インライン欠陥検査、96…各プロセスパラメータの測定データ（平均値）、97…欠陥無チップの歩留りデータ。

【図 1】

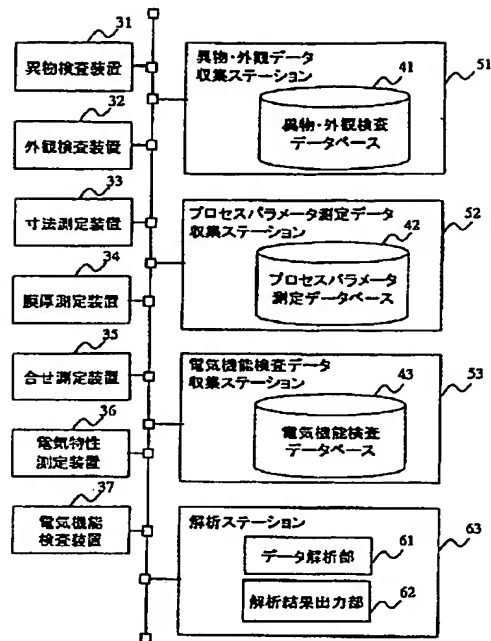


【图 2】



【図3】

図3



【図4】

図4

